

1/k

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-213694

(43)Date of publication of application : 07.08.2001

(51)Int.Cl.

C30B 29/06
// H01L 21/66

(21)Application number : 2000-018846

(71)Applicant :

MITSUBISHI MATERIALS SILICON CORP

(22)Date of filing : 27.01.2000

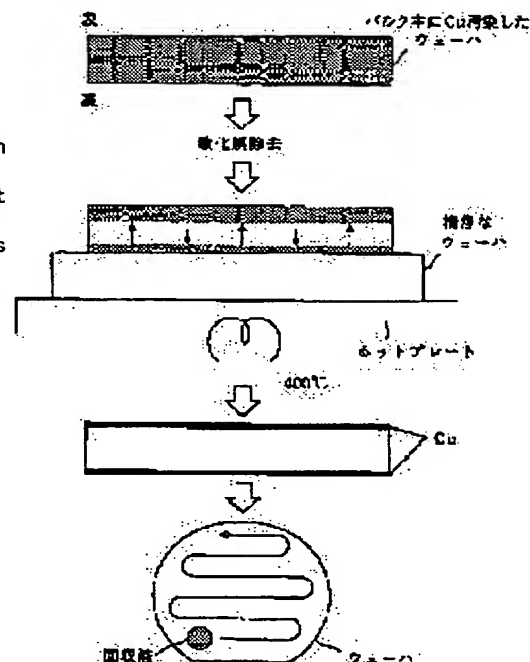
(72)Inventor :

TOMIZAWA KENJI

KOMATSU KEI

(54) SEMICONDUCTOR WAFER WITH LOW COPPER CONTENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor wafer which has lower copper content, higher device property, and higher yield in device manufacturing.**SOLUTION:** The copper contained in the silicon wafer is diffused by heating the wafer 400° C, collected on the wafer surface, dissolved in the fluoric acid containing recovery liquid dropped on the wafer surface, and removed from the surface. Therefore, the copper content in the wafer is reduced to $1.1 \times 10^{11} \text{cm}^{-2}$ or less. As a result, the higher device property is obtained and yield in device manufacturing is heightened. Adopting the copper content reducing method based on the LTD method, the semiconductor wafer with lower copper density, $1.1 \times 10^{11} \text{cm}^{-2}$ or less, can be efficiently produced in high yield.

LEGAL STATUS

[Date of request for examination]

11.12.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-213694
(P2001-213694A)

(43)公開日 平成13年8月7日(2001.8.7)

(51)Int.Cl. ⁷	識別記号	F I	ターム(参考)
C 3 0 B 29/06		C 3 0 B 29/06	C 4 G 0 7 7
// H 0 1 L 21/66		H 0 1 L 21/66	L 4 M 1 0 6

審査請求 未請求 請求項の数 4 O L (全 4 頁)

(21)出願番号 特願2000-18846(P2000-18846)

(22)出願日 平成12年1月27日(2000.1.27)

(71)出願人 000228925

三菱マテリアルシリコン株式会社
東京都千代田区大手町一丁目5番1号

(72)発明者 富澤 憲治

東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

(72)発明者 小松 圭

東京都千代田区大手町1丁目5番1号 三
菱マテリアルシリコン株式会社内

(74)代理人 100094215

弁理士 安倍 逸郎

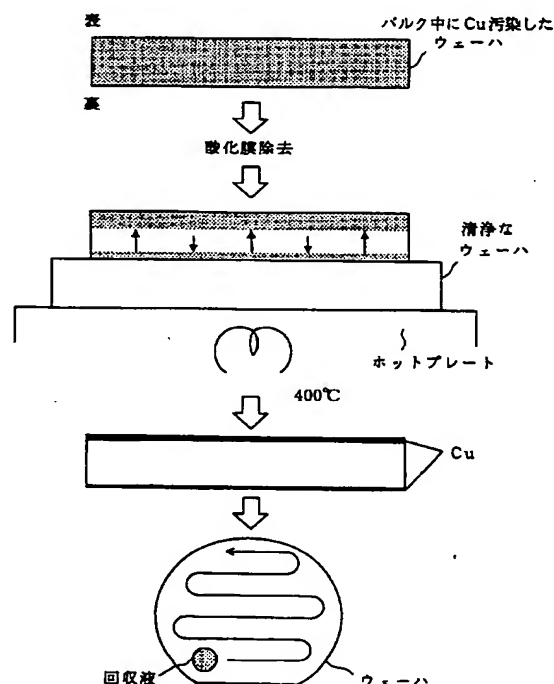
Fターム(参考) 4G077 AA02 AB01 BA04 FG11 GA01
4M106 AA01 BA20 CB01 DH01 DH25
DH34

(54)【発明の名称】 低銅濃度半導体ウェーハ

(57)【要約】

【課題】 ウェーハ内部の銅濃度が低く、高いデバイス特性が得られ、デバイス作製の歩留りが大きな低銅濃度半導体ウェーハを提供する。

【解決手段】 シリコンウェーハを400℃で加熱してウェーハ内部の銅を拡散し、これでウェーハ表面に集められた銅を、ウェーハ表面にフッ酸を含む回収液を滴下してこの液に溶かし、銅を回収除去する。よって、ウェーハ中の銅濃度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下まで低減する。その結果、高いデバイス特性が得られ、デバイス作製の歩留りも大きくなる。しかも、このようなLTD法を応用した銅濃度低減法を採用すれば、銅濃度 $1 \times 10^{11} \text{ cm}^{-2}$ 以下の低銅濃度半導体ウェーハを、良好な歩留りで効率良く得ることができる。



【特許請求の範囲】

【請求項1】 半導体ウェーハをLTD法で測定した場合、その銅の濃度が $1.1 \times 10^{11} \text{ cm}^{-2}$ 以下である低銅濃度半導体ウェーハ。

【請求項2】 上記半導体ウェーハが、鏡面研磨したシリコンウェーハである請求項1に記載の低銅濃度半導体ウェーハ。

【請求項3】 上記半導体ウェーハが、SOIウェーハである請求項1に記載の低銅濃度半導体ウェーハ。

【請求項4】 上記半導体ウェーハが、エピタキシャルウェーハである請求項1に記載の低銅濃度半導体ウェーハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は低銅濃度半導体ウェーハ、詳しくは半導体ウェーハの表面および内部の銅の濃度が低く、高いデバイス特性が得られる低銅濃度半導体ウェーハに関する。

【0002】

【従来の技術】 従来より、シリコンウェーハの表面に存在する銅がゲート酸化膜耐圧に影響することは、知られていた。ところが、シリコンウェーハの内部に存在する銅がゲート酸化膜耐圧に影響を与えるか否かについての知見は存在しなかった。また、シリコンウェーハの内部の銅の濃度を高感度で測定する方法は知られていなかった。そこで、特開平9-64133号公報において示すように、シリコンウェーハの内部に存在する銅の濃度を測定する方法が本願出願人により提案された。これがLTD (Low Temperature Diffusion) 法である。LTD法では、半導体ウェーハを数百℃に加熱してウェーハ内部の銅を拡散させ、ウェーハ内部に存在する銅をウェーハ表面に集める。その後、このウェーハ表面にHF溶液またはHF/H₂O₂の混合溶液からなる回収液を少量滴下して、この回収液中にウェーハ表面に集められた銅を溶かして回収する。そして、その回収液をTXRF (全反射蛍光X線分析) またはAAS (原子吸光分析) によって分析して、回収液中の銅の量を測定する。

【0003】

【発明が解決しようとする課題】 そこで、発明者が、LTD法により検出したシリコンウェーハの内部およびその表面に存在する銅の濃度と、ゲート酸化膜耐圧との関係について調べたところ、これらの間に良い相関があることが判明した。また、このLTD法によれば、ウェーハの表面のみならず、その内部を含めた銅の濃度を正確に測定することができ、この銅の濃度の測定値を用いることによりシリコンウェーハの良否の判定を行うことができることを知見した。このような知見に基づいて、発明者はこの発明を完成させた。

【0004】

【発明の目的】 この発明は、高いデバイス特性およびデバイス作製での高歩留まりが得られる低銅濃度半導体ウェーハを提供することを、その目的としている。

【0005】

【課題を解決するための手段】 請求項1に記載の発明は、半導体ウェーハをLTD法で測定した場合、その銅の濃度が $1.1 \times 10^{11} \text{ cm}^{-2}$ 以下である低銅濃度半導体ウェーハである。対象となる半導体ウェーハの種類は限定されない。例えばシリコンウェーハ、張り合わせウェーハ、SOI (Silicon on Insulator) ウェーハ、エピタキシャルウェーハでもよい。銅濃度が $1.1 \times 10^{11} \text{ cm}^{-2}$ 以下の半導体ウェーハを作製する方法は限定されない。要は、LTD法で半導体ウェーハの銅の濃度を測定した場合、その値が $1.1 \times 10^{11} \text{ cm}^{-2}$ 以下であればよい。 $1.1 \times 10^{11} \text{ cm}^{-2}$ 以下とした理由は、以下の通りである。すなわち、ウェーハとしての可否を判断する場合、特にCMOSデバイスを含む場合には、その酸化膜耐圧の良品率により判断することが一般的に行われている。酸化膜耐圧の良品率のどこで可否を判断するかは、対象とするデバイスにより異なるため、一義的には決められない。ここでは、100%の良品率に対して一般的に合格ラインと考えられている75%を可否の判断基準としたものである。 $1.1 \times 10^{11} \text{ cm}^{-2}$ 以下であれば、この良品率が75%を超えるからである。

【0006】 請求項2に記載の発明は、上記半導体ウェーハが、鏡面研磨したシリコンウェーハである請求項1に記載の低銅濃度半導体ウェーハである。この鏡面研磨ウェーハにはデバイスが形成されることとなる。

【0007】 請求項3に記載の発明は、上記半導体ウェーハが、SOIウェーハである請求項1に記載の低銅濃度半導体ウェーハである。SOIウェーハの作製方法としては、張り合わせ法、SIMOX法などのいずれであってもよい。

【0008】 請求項4に記載の発明は、上記半導体ウェーハが、エピタキシャルウェーハである請求項1に記載の低銅濃度半導体ウェーハである。

【0009】

【作用】 この発明によれば、半導体ウェーハの表面およびその内部に含まれる銅の濃度が、 $1.1 \times 10^{11} \text{ cm}^{-2}$ 以下と低いので、例えばこの半導体ウェーハの表面にCMOS構造のデバイスを作製する際、ゲート酸化膜に銅が侵入してゲート酸化膜の酸化膜耐圧を劣化させるなどの不都合がなくなる。その結果、この半導体ウェーハに形成したデバイスは高いデバイス特性が得られて、デバイス作製の歩留まりを大きくすることができる。また、LTD法を用いれば、シリコンウェーハの作製工程における各工程 (エッチング、研磨、酸化、拡散など) での銅による汚染量を正確に測定することが可能である。この結果、汚染源の特定が可能となり、また、プ

ロセス条件の変更による汚染の低減が可能となる。また、各工程で使用する装置などの変更が銅汚染を招くか否か、また、その影響の程度を具体的に把握することが可能となる。

【0010】

【発明の実施の形態】以下、この発明の実施例を図面を参照して説明する。図1は、この発明の一実施例に係る半導体ウェーハの表面および内部の銅の濃度を測定するためのLTD法を示すフローシートである。図2はLTD法による銅の回収率を示すグラフである。まず、図1を参照してLTD法について説明する。まず、バルク中に銅汚染が生じているシリコンウェーハPWを準備する。このシリコンウェーハを、その鏡面側（表面側）を上にして、清浄なシリコンウェーハ上に載せる。この清浄なシリコンウェーハはホットプレート（表面はセラミックス製）上に載置されているものとする。このシリコンウェーハがP型の場合、大気中で400℃で30分間の加熱を行う。N型の場合、400℃で1時間の加熱を行う。この加熱処理はウェーハを汚染しないクリーンルーム内で行う。ホットプレートに代えて熱処理炉でシリ

コンウェーハを加熱してもよい。この場合、大気中、 N_2/O_2 ガス、または、 Ar/O_2 ガス雰囲気中で加熱する。この熱処理の結果、バルク中のほとんどの銅は表裏面側へそれぞれ拡散により移動する。特に、80%以上の銅が表面側に移動する。次に、シリコンウェーハの表面にHF（2%）またはHF（2%）/ H_2O_2 （2%）混合溶液を100～200 μ lだけ滴下し、その回収液で表面およびその近傍の銅を回収する。すなわち、このウェーハ表面上で零状になった回収液滴を転がすように移動させることで、このウェーハ表面に集められた銅をこの液の中に溶かし込み、それを回収する。なお、裏面側の銅も同様の方法により回収することもできる。

【0011】図2に示すように、LTD法による、2% HF溶液、HF（2%）/ H_2O_2 （2%）溶液での回収の場合、ウェーハ表面からの銅の回収率はそれぞれ略100%である。なお、低温加熱を行わない場合に比べてその回収率がきわめて高いことが明らかである。

【0012】

【表1】

	銅濃度 (cm^{-2})	良品率 (%)	備考
比較例 1	7×10^{11}	0.7	張合SOI
比較例 2	3.2×10^{11}	64.6	張合SOI
比較例 3	3.0×10^{11}	69.4	エピタキシャルウェーハ
比較例 4	3.1×10^{11}	67.0	PW
実施例 1	1.1×10^{11}	76.4	張合SOI
比較例 2	1.6×10^{10}	94.6	PW
比較例 3	1.0×10^{10}	98.6	エピタキシャルウェーハ

【0013】表1には、LTD法に基づき銅の濃度を測定したこの発明に係る低銅濃度シリコンウェーハの酸化膜耐圧良品率を比較例とともに示す。酸化膜耐圧良品率は、実施例に係るシリコンウェーハに形成したゲート酸化膜の酸化膜耐圧の試験データで判定したものである。実施例1、比較例1、2は、サンプルウェーハとして張り合わせSOIウェーハを、実施例2と比較例4は鏡面シリコンウェーハを使用した。比較例3と実施例3はともにP⁻ウェーハ上に、抵抗値10 Ω cmのP型エピタキシャル層を10 μ m成長させた場合である。比較例3ではエピタキシャル工程以降で銅汚染が発生したため69.4%と酸化膜耐圧の良品率が低く、実施例3では銅汚染がなかったため、酸化膜耐圧の良品率が98.6%と高くなった。比較例4は実施例2に比較してCu濃度が高く良品率を悪くしている。Cu汚染の発生した工程は研磨工程である。張り合わせSOIウェーハの詳細は以下の通りである。すなわち、口径：6インチ、活性層N型シリコン、抵抗値5～10 Ω cm、厚さ10 μ m、埋め込み酸化膜厚さ1 μ m、支持基板P型、抵抗値1～

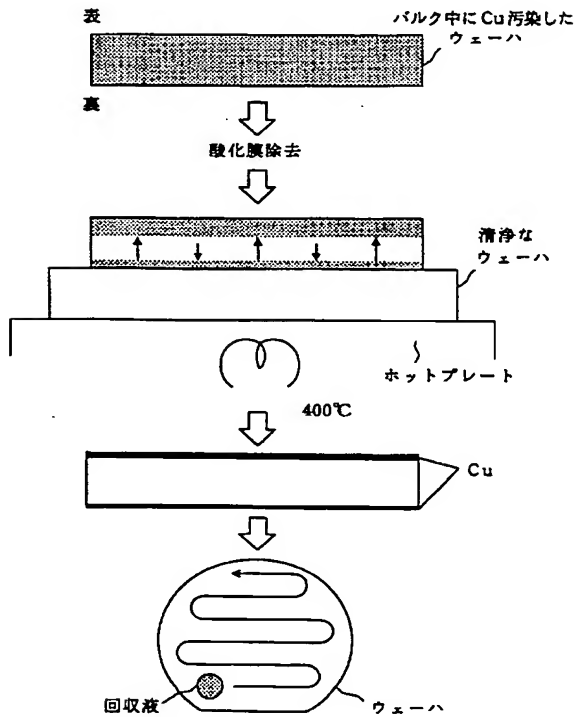
30 Ω cm、厚さ625 μ mである。また、鏡面ウェーハの詳細は以下の通りである。すなわち、口径：6インチ、N型シリコン、抵抗値5～10 Ω cm、厚さ625 μ mである。また、エピタキシャルウェーハの詳細は以下の通りである。すなわち、口径：6インチの抵抗値10～14 Ω cmのP型鏡面シリコンウェーハに抵抗値9.5～10.5 Ω cmのP型エピタキシャル層を10 μ m成長させた。エピタキシャル成長に使用した炉はロードロック機構付の枚葉炉である。また、ゲート酸化膜の面積は1 $\times 10^{-2}$ cm^2 で、膜厚は25nmである。良品率は、このゲート酸化膜に、判定電流を10 $^{-4}$ Aに設定し、8MV/cmの電圧をかけた際のゲート酸化膜が破壊された割合を調べた。この検査は、TZDB（Time Zero Dielectric Breakdown）に基づく。表1から明らかなように、LTD法によるシリコンウェーハの銅の濃度が1.1 $\times 10^{11}$ cm^{-2} を超える比較例1、比較例2および比較例3に比べて、銅の濃度が1.1 $\times 10^{11}$ cm^{-2} 以下の実施例のウェーハでは、酸化膜耐圧の良品率

が高まった。

【0014】

【発明の効果】この発明によれば、低銅濃度半導体ウェーハの表面にデバイスを作製した場合、このデバイスの電気的特性、特に酸化膜耐圧を高めることができる。これによりデバイス作製の歩留りを大きくすることができ

【図1】



る。

【図面の簡単な説明】

【図1】この発明の一実施例に係るLTD法を説明するためのフローシートである。

【図2】この発明の一実施例に係るLTD法による銅の回収率を示すグラフである。

【図2】

